

# Design für Testbarkeit, Fehlersuche und Zuverlässigkeit

Sebastian Huhn · Rolf Drechsler

# Design für Testbarkeit, Fehlersuche und Zuverlässigkeit

Maßnahmen der nächsten Generation unter  
Verwendung formaler Techniken

Sebastian Huhn  
University of Bremen and DFKI GmbH  
Bremen, Deutschland

Rolf Drechsler  
University of Bremen and DFKI GmbH  
Bremen, Deutschland

ISBN 978-3-031-45318-2      ISBN 978-3-031-45319-9 (eBook)  
<https://doi.org/10.1007/978-3-031-45319-9>

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

© Der/die Herausgeber bzw. der/die Autor(en), exklusiv lizenziert an Springer Nature Switzerland AG 2023

Das Werk einschließlich aller seiner Teile ist urheberrechtlich geschützt. Jede Verwertung, die nicht ausdrücklich vom Urheberrechtsgesetz zugelassen ist, bedarf der vorherigen Zustimmung des Verlags. Das gilt insbesondere für Vervielfältigungen, Bearbeitungen, Übersetzungen, Mikroverfilmungen und die Einspeicherung und Verarbeitung in elektronischen Systemen.

Die Wiedergabe von allgemein beschreibenden Bezeichnungen, Marken, Unternehmensnamen etc. in diesem Werk bedeutet nicht, dass diese frei durch jedermann benutzt werden dürfen. Die Berechtigung zur Benutzung unterliegt, auch ohne gesonderten Hinweis hierzu, den Regeln des Markenrechts. Die Rechte des jeweiligen Zeicheninhabers sind zu beachten.

Der Verlag, die Autoren und die Herausgeber gehen davon aus, dass die Angaben und Informationen in diesem Werk zum Zeitpunkt der Veröffentlichung vollständig und korrekt sind. Weder der Verlag noch die Autoren oder die Herausgeber übernehmen, ausdrücklich oder implizit, Gewähr für den Inhalt des Werkes, etwaige Fehler oder Äußerungen. Der Verlag bleibt im Hinblick auf geografische Zuordnungen und Gebietsbezeichnungen in veröffentlichten Karten und Institutionsadressen neutral.

Planung/Lektorat: Charles Glaser

Springer Vieweg ist ein Imprint der eingetragenen Gesellschaft Springer Nature Switzerland AG und ist ein Teil von Springer Nature.

Die Anschrift der Gesellschaft ist: Gewerbestrasse 11, 6330 Cham, Switzerland

Das Papier dieses Produkts ist recyclebar.

# Vorwort

Mehrere Verbesserungen im elektronischen Entwurfsablauf ermöglichten das Design von hochkomplexen integrierten Schaltkreisen. Diese Komplexität wurde eingeführt, um die anspruchsvollen Anwendungsszenarien, beispielsweise in Automobilsystemen, zu bewältigen, die typischerweise erfordern, dass mehrere heterogene Funktionen gleichzeitig auf einem Chip implementiert werden. Einerseits skaliert die Komplexität mit der Transistoranzahl und andererseits müssen weitere nicht-funktionale Aspekte berücksichtigt werden, das zu neuen anspruchsvollen Aufgaben während des modernen Schaltkreisentwurfes und Tests führt. Daher sind neue Maßnahmen erforderlich, um das erforderliche Maß an Testbarkeit, Debugging und Zuverlässigkeit der resultierenden Schaltung zu erreichen.

Dieses Buch schlägt mehrere neuartige Ansätze vor, um letztendlich den Weg für die nächste Generation von integrierten Schaltkreisen zu ebnet, die erfolgreich und zuverlässig auch in sicherheitskritischen Anwendungen integriert werden können. Insbesondere kombiniert dieses Buch formale Techniken – wie das *Boolesche Erfüllbarkeitsproblem* (SAT) und die beschränkte Modellprüfung – um die aufkommenden Herausforderungen in Bezug auf die Zunahme des *Testdatenvolumens* (TDV) sowie der *Testanwendungszeit* (TAT) und der erforderlichen Zuverlässigkeit zu bewältigen.

Ein wichtiger Teil dieses Buches betrifft die Einführung von *Testvektorübertragung mit Hilfe von erweiterten kompressionsbasierten TAP-Controllern* (VecTHOR). VecTHOR schlägt eine neu entworfene Kompressionsarchitektur vor, die eine codewortbasierte Kompression, ein dynamisch konfigurierbares Wörterbuch und ein Lauflängenkodierungsschema kombiniert. VecTHOR erfüllt einen leichten Charakter und ist nahtlos in einen IEEE 1149.1 Testzuganggriffsport-Controller integriert. VecTHOR erreicht eine signifikante Reduzierung des TDV und der TAT um 50%, das die resultierenden Testkosten direkt reduziert.

Ein weiterer Aspekt dieses Buches betrifft das Design und die Implementierung eines Retargeting-Werkzeuges zur Verarbeitung vorhandener Testdaten einmal off-chip vor der Übertragung ohne die Notwendigkeit einer teuren Testregenera-

tion. Verschiedene Techniken wurden implementiert, um wählbare Kompromisse zwischen dem resultierenden TDV sowie der TAT und der erforderlichen Laufzeit des Retargeting-Prozesses zu bieten. Diese Techniken beinhalten einen schnellen heuristischen Ansatz und eine formale Optimierung SAT-basierte Methode durch Aufruf mehrerer Ziel-Funktionen. Darüber hinaus betrifft ein Beitrag die Entwicklung einer hybriden eingebetteten Kompressionsarchitektur, die speziell für Tests mit niedriger Pin-Anzahl im Bereich der sicherheitskritischen Systeme konzipiert wurde, die eine Null-Fehler-Politik durchsetzen. Diese hybride Kompression wurde in enger industrieller Zusammenarbeit mit Infineon Deutschland realisiert. Dieser Ansatz ermöglicht eine Reduzierung der resultierenden Testzeit um den Faktor drei.

Darüber hinaus stellt dieses Buch eine neue Methodik vor, um die Robustheit von sequentiellen Schaltungen gegenüber transienten Fehlern signifikant zu erhöhen, ohne einen großen Hardware-Mehraufwand einzuführen oder die Latenz der Schaltung messbar zu beeinflussen. Anwendungsspezifisches Wissen wird durch die Anwendung von SAT-basierten Techniken sowie beschränkter Modellprüfung erlangt, welches die Synthese eines hoch effizienten Fehlererkennungsmechanismus ermöglicht. Die vorgeschlagenen Techniken werden detailliert vorgestellt und umfassend bewertet, indem industrielle repräsentative Kandidaten berücksichtigt werden, die die Wirksamkeit der vorgeschlagenen Ansätze deutlich demonstriert haben.

Bremen, Deutschland  
Dezember 2020

Sebastian Huhn  
Rolf Drechsler

# Danksagungen

Zunächst möchten wir den Mitgliedern der Forschungsgruppe für *Computerarchitektur* (AGRA) an der Universität Bremen sowie den Mitgliedern der Forschungsabteilung für *Cyber-Physical Systems* (CPS) des *Deutschen Forschungszentrums für Künstliche Intelligenz* (DFKI) in Bremen danken. Wir schätzen die großartige Atmosphäre und die anregende Umgebung. Darüber hinaus möchten wir allen Mitautoren der Arbeiten danken, die den Ausgangspunkt für dieses Buch bildeten: Prof. Krishnendu Chakrabarty, Ph.D., Dr. Stefan Frehse, Prof. Dr. Daniel Große und Prof. Dr. Robert Wille. Wir danken auch Infineon Deutschland und insbesondere Dr. Daniel Tille für eine produktive industrielle Zusammenarbeit und Dr. Matthias Sauer für verschiedene inspirierende Gespräche. Unser besonderer Dank gilt Dr. Stephan Eggersgluß für die inspirierenden Gespräche und die langjährige wissenschaftliche Zusammenarbeit. Schließlich möchten wir Pradheepa Vijay, Brian Halm, Zoe Kennedy und Charles Glaser von Springer danken. All dies wäre ohne ihre stetige Unterstützung nicht möglich gewesen.

Bremen, Deutschland

Sebastian Huhn  
Rolf Drechsler

# Inhaltsverzeichnis

<b>1</b>	<b>Einführung</b> .....	1
<b>Teil I Grundlagen und vorherige Arbeiten</b>		
<b>2</b>	<b>Integrierte Schaltkreise</b> .....	9
2.1	Schaltkreismodell .....	9
2.1.1	Ein-Chip-System .....	12
2.2	Schaltungstest .....	14
2.2.1	Struktureller Test .....	15
2.2.2	Funktionstest .....	17
2.3	Generierung struktureller Tests .....	18
2.4	Design für Testbarkeit .....	19
2.4.1	Scan-Basiertes Design .....	20
2.4.2	Boundary-Scan-Test .....	23
2.4.3	Testzugriffsmechanismus .....	23
2.4.4	Niedriger Pin-Anzahl Test .....	30
2.5	Design für Debugging und Diagnose .....	31
2.6	Design für Zuverlässigkeit .....	32
2.6.1	Beurteilung der Robustheit .....	33
<b>3</b>	<b>Formale Techniken</b> .....	35
3.1	Boolesche Algebra .....	35
3.1.1	Boolesches Erfüllbarkeitsproblem .....	37
3.2	SAT-Solver .....	38
3.2.1	Entscheidungsheuristik .....	40
3.2.2	Neustart .....	41
3.2.3	Konfliktgetriebenes Klausellernen .....	42
3.2.4	Optimierungsbasiertes SAT .....	46
3.3	Transformation von Schaltkreisen in CNF .....	47
3.4	SAT-basierte Testgenerierung .....	49

3.5	Begrenzte Modellprüfung . . . . .	51
3.6	Endlicher Zustandsautomat . . . . .	52
3.7	Binäres Entscheidungsdiagramm. . . . .	53

## Teil II Neue Techniken für Test, Debugging und Zuverlässigkeit

<b>4</b>	<b>Eingebettete Kompressionsarchitektur für Testzugang . . . . .</b>	<b>57</b>
4.1	Verwandte Arbeiten . . . . .	58
4.2	Kompressionsarchitektur . . . . .	60
4.2.1	Erweiterung des TAP-Controllers . . . . .	63
4.2.2	Codewort-basierter Dekompressor. . . . .	65
4.2.3	Beispielhafte Anwendung . . . . .	69
4.3	Heuristisches Retargeting-Werkzeug. . . . .	71
4.4	Experimenteller Aufbau . . . . .	73
4.5	Experimentelle Ergebnisse. . . . .	76
4.6	Zusammenfassung und Ausblick . . . . .	78
<b>5</b>	<b>Optimierung SAT-basiertes Retargeting für eingebettete Kompression . . . . .</b>	<b>81</b>
5.1	Dynamische Dekomprimierungseinheit. . . . .	83
5.2	Optimierungsmodell für SAT-basiertes Retargeting . . . . .	84
5.2.1	Motivation . . . . .	85
5.2.2	Erzeugung einer PBO-Instanz . . . . .	86
5.2.3	Optimierungsfunktion . . . . .	90
5.3	Optimierungsverfahren für SAT-basiertes Retargeting . . . . .	92
5.4	Experimenteller Aufbau . . . . .	93
5.5	Experimentelle Ergebnisse. . . . .	93
5.6	Zusammenfassung und Ausblick . . . . .	99
<b>6</b>	<b>Rekonfigurierbare TAP-Controller mit eingebetteter Kompression . . . . .</b>	<b>101</b>
6.1	Partitionsbasiertes Retargeting-Verfahren unter Verwendung formaler Techniken . . . . .	102
6.1.1	Formales Partitionierungsschema . . . . .	103
6.1.2	Beispielhafte Rekonfiguration . . . . .	104
6.1.3	Parametrische Analyse . . . . .	105
6.2	Experimenteller Aufbau . . . . .	108
6.3	Experimentelle Ergebnisse. . . . .	109
6.4	Zusammenfassung . . . . .	113
<b>7</b>	<b>Eingebettete Mehrkanal-Testkompression für Tests mit niedriger Pin-Anzahl . . . . .</b>	<b>115</b>
7.1	Verwandte Arbeiten . . . . .	117
7.2	Hybride Kompressionsarchitektur . . . . .	120
7.2.1	Motivation . . . . .	120
7.2.2	Codewort-basierter Dekompressor. . . . .	122
7.2.3	Hybrider Controller . . . . .	123

7.2.4	Schnittstellenmodul . . . . .	124
7.2.5	Beispielhafte Anwendung . . . . .	125
7.3	Erweiterte hybride Kompression . . . . .	126
7.3.1	Hardware-Kostenmetrik . . . . .	127
7.3.2	Mehrkanal-Topologie . . . . .	128
7.4	Experimenteller Aufbau . . . . .	129
7.5	Experimentelle Ergebnisse . . . . .	130
7.6	Zusammenfassung . . . . .	133
<b>8</b>	<b>Verbesserte Zuverlässigkeit durch formale Techniken . . . . .</b>	<b>135</b>
8.1	Motivation . . . . .	138
8.2	Anwendungsspezifisches Wissen . . . . .	140
8.2.1	Gerüst des Partition Enumerators . . . . .	141
8.2.2	Zufällige Partitionssuche . . . . .	143
8.2.3	SAT-basierte Partitionssuche . . . . .	143
8.2.4	Zustandsbestimmung . . . . .	145
8.2.5	Fehlererkennungsmechanismus . . . . .	147
8.3	Experimenteller Aufbau . . . . .	151
8.4	Experimentelle Ergebnisse . . . . .	152
8.5	Zusammenfassung und Ausblick . . . . .	156
<b>9</b>	<b>Schlussfolgerung und Ausblick . . . . .</b>	<b>159</b>
	<b>Anhang A . . . . .</b>	<b>163</b>
	<b>Literatur . . . . .</b>	<b>173</b>

# Abkürzungsverzeichnis

ATE	Automatische Testausrüstung
ATPG	Automatische Testmustererzeugung
BCP	Boolesche Constraint-Propagation
BDD	Binäres Entscheidungsdiagramm
BMC	Begrenzte Modelprüfung
BSC	Boundary-Scan-Zelle
BST	Boundary-Scan-Test
CDCL	Konfliktbasiertes Klausellernen
CDW	Komprimiertes Datenwort
CNF	Konjunktive Normalform
CuT	Schaltung unter Test
DDU	Dynamische Dekompressionseinheit
DFD	Design für Debug und Diagnose
DFR	Design für Zuverlässigkeit
DFT	Design für Testbarkeit
DuT	Gerät unter Test
EDA	Elektronischer Entwurfsablauf
EDT	Eingebetteter deterministischer Test
FDM	Fehlererkennungsmechanismus
FF	Flip-Flop
FSM	Endlicher Zustandsautomat
IC	Integrierter Schaltkreis
IG	Implikationsgraph
IJTAG	Internal Joint Test Action Group
IR	Befehlsregister
JTAG	Joint Test Action Group
LPCT	Test mit geringer Pin-Anzahl
MCL	Maximale Codewortlänge
MDL	Maximale Datenwortlänge
MO	Speicher-Ausgang
PB	Pseudo-Boolesch

PBC	Pseudo-Boolesche Einschränkung
PBO	Pseudo-Boolesche Optimierung
PI	Primärer Eingang
PO	Primärer Ausgang
RTL	Register-Transfer-Ebene
RTP	Abgelehntes Testmuster
RTPG	Zufällige Testmustererzeugung
SAT	Boolesche Erfüllbarkeit
sat	erfüllbar
SBI	Einfache Bit-Injektion
SFF	Scan Flip-Flops
SoC	Ein-Chip-System
TAP	Testzugangsport
TAT	Testanwendungszeit
TDI	Testdateneingabe
TDR	Testdatenregister
TDV	Testdatenvolumen
TMS	Testmodusauswahl
TO	Zeitüberschreitung
UDW	Unkomprimiertes Datenwort
unsat	unerfüllbar
VecTHOR	Testdaten Transmission mit erhöhter Kompression basierend auf TAP-Controllern
X-Wert	Beliebiger Wert

# Symbole

$\mathcal{A}$	Aktivatorsignal
$\beta$	Nutzen einer Ersetzung
$b_i$	Bit in Testdaten
$\cdot$	Boolescher UND-Operator
$+$	Boolescher ODER-Operator
$\odot$	Auflösungsoperator
$\mathcal{B}$	Satz von Booleschen Werten $\{0,1\}$
$\nu$	Boolesche Variable
$\oplus$	Boolescher XOR-Operator
$\omega_L$	Konfliktklausel
$\Phi_{\#CDW}$	KNF; Wörterbuchbeschränkungsklauseln
$cdw_i$	Komprimiertes Datenwort
$c_i$	Stück des komprimierten Datenworts
$C$	(Sequentielle) Schaltung
$\omega$	Klausel
$\Phi$	KNF; Satz von Klauseln
$\Phi_{uC}$	KNF; Vollständigkeitsklauseln der Abdeckung
$\mathcal{E}$	Gleichheitsvergleichssignal
$\mathcal{K}$	Konflikt
$\mathcal{C}$	Eingebettete Wörterbuchkonfiguration
$\mathcal{S}^*$	Vollständiger Zustandsraum der sequentiellen Schaltung
$\mathcal{D}$	Komprimierte Testdaten
$\mathcal{S}_D @ l$	Zustand des Wörterbuchs zur Zeit $l$
$\mathcal{S}_D$	Zustand des Wörterbuchs
$\emptyset$	Leeres Codewort
$\mathcal{Z}$	Datencontainer von EPs
$\widehat{EP}$	Äquivalenzeigenschaft
$\widehat{FF}$	Flip-Flop mit einzelner transientser Störung
$\mathcal{F}$	Fehlersignal
$\mathcal{G}$	Satz von Toren

$L$	Gesamtzahl der hierarchischen Ebenen des sequentiellen Schaltkreises
$\Omega$	Eingabetestvektor
IN	Satz von Eingaben
$\sigma$	Suchfunktion für Codewörter
$\psi$	Abbildungsfunktion
$r_s$	Maximale Anzahl von Neukonfigurationen
$\Phi_{ME}$	CNF; wechselseitige Ausschlussklauseln
$\neg X; \bar{X}$	Boolescher Negationsoperator
$t_i$	Nächster Zeitpunkt
$t_i$	Aktueller Zeitpunkt
$\mathcal{N}_{det}$	Anzahl der erkannten Fehler von $\mathcal{N}$
$\mathcal{N}$	Größe der Fehlerliste
$N$	Menge der nicht robusten Flip-Flops des sequentiellen Schaltkreises
$T$	Anzahl der Scan-Ketten
$\hat{\mathcal{N}}$	Anzahl der testbaren Fehler von $\mathcal{N}$
$\mathcal{O}$	Optimierungsfunktion
OUT	Satz von Ausgaben
$p_s$	Maximale Partitionsgröße
$P$	(Generische) Partition
$\mathcal{P}_{RAND}$	Gieriger (greedy) Algorithmus-basierter Partitionszähler
$\gamma$	Ersetzung des Datenworts
$\Phi_{RET}$	CNF; Neuausrichtungsklauseln
$\bar{\Omega}$	Übersetzter Testvektor
$\mathcal{R}$	Robustheit der sequentiellen Schaltung
$\hat{\mathcal{S}}$	Erreichbare Zustände der sequentiellen Schaltung
$\mathcal{P}_{SAT}$	SAT-basierter Partitionierungs-Enumerator
$\gamma$	Einfache Bit-Injektion
SE	Satz von sequentiellen Elementen
$\mathcal{M}$	Testmuster-Metrik zur Qualitätsbewertung der Partition
$udw_i$	Unkomprimiertes Datenwort
$\mathcal{I}$	Unkomprimierte (eingehende) Testdaten
W	Satz von Leitungen

# Abbildungsverzeichnis

Abb. 2.1	Unterschiedliche Abstraktionsebenen des Entwurfsablaufes . . . .	10
Abb. 2.2	Symbolische Darstellung von Logikgattern . . . . .	11
Abb. 2.3	Komponenten eines beispielhaften Ein-Chip-Systems . . . . .	13
Abb. 2.4	Prinzip Schaltungstest . . . . .	14
Abb. 2.5	Exemplarischer s-a Fehler. (a) s-a-1 an Fehlerstelle $e$ . (b) Einstellung $e = „1.“$ (c) Propagation . . . . .	17
Abb. 2.6	Beispielhaftes scan-basiertes Design. (a) Scan Flip-Flop. (b) Eingefügte Scan Flip-Flops als Scan-Kette . . . . .	21
Abb. 2.7	Boundary-Scan-Kette . . . . .	24
Abb. 2.8	IEEE 1149.1 Testzugangsmechanismus (vereinfacht) . . . . .	26
Abb. 2.9	FSM von IEEE 1149.1: TMS @ Kanten. . . . .	27
Abb. 2.10	Boundary-Scan-Zelle [GMG90] . . . . .	29
Abb. 3.1	Implikationsgraph mit aufgetretenem Konflikt. . . . .	44
Abb. 3.2	Resultierender Implikationsgraph . . . . .	45
Abb. 3.3	Beispielhafter Schaltkreis . . . . .	48
Abb. 3.4	SAT-basierte ATPG-Modellkomponenten für einen beispielhaften Schaltkreis. <b>a</b> Fehlerfreier Schaltkreis. <b>b</b> Fehlerhafter Schaltkreis. <b>c</b> Boolesche Differenz . . . . .	50
Abb. 4.1	Gesamter Kompressionsablauf von VecTHOR . . . . .	62
Abb. 4.2	FSM der kompressionsbasierten IEEE 1149.1: Testmodusauswahl @ Kanten . . . . .	64
Abb. 4.3	Zeitsignal-Diagramm von VecTHOR . . . . .	66
Abb. 4.4	Partielles Blockdiagramm von VecTHOR . . . . .	70
Abb. 4.5	Experimenteller Aufbau . . . . .	74
Abb. 4.6	Durchschnittliche TDV-Reduzierung für <b>compr</b> ( $\mu$ - <b>compr</b> ) . . . .	76
Abb. 4.7	Durchschnittliche TAT-Reduzierung für <b>compr</b> ( $\mu$ - <b>compr</b> ) . . . .	77
Abb. 5.1	Vorgeschlagener optimierungsbasierter Retargeting-Ablauf . . . .	85
Abb. 5.2	Durchschnittliche TDV-Reduzierung für die Optimierung SAT-basiertes Retargeting . . . . .	96
Abb. 5.3	Durchschnittliche TAT-Reduzierung für die Optimierung SAT-basiertes Retargeting . . . . .	97

Abb. 6.1	Parameteridentifikation unter Berücksichtigung von TAT . . . . .	107
Abb. 6.2	Parameteridentifikation unter Berücksichtigung der Laufzeit . . .	108
Abb. 6.3	Durchschnittliche TDV-Reduzierung für partitionsbasiertes Retargeting . . . . .	112
Abb. 6.4	Durchschnittliche TAT-Reduzierung für partitionsbasiertes Retargeting . . . . .	113
Abb. 6.5	Vergleich der Laufzeit von Retargeting-Techniken. . . . .	114
Abb. 7.1	Eingebettetes Testkompressionsschema [Raj+04] . . . . .	118
Abb. 7.2	Hybride Kompressionsarchitektur. . . . .	121
Abb. 7.3	Vereinfachte FSM des Hybriden Controllers: update_control Signal @ Kanten . . . . .	123
Abb. 7.4	Maschierungsschema der Mehrkanal-Topologie . . . . .	128
Abb. 7.5	TDV & TAT der hybriden (Mehrkanal) Kompression . . . . .	132
Abb. 8.1	Eine nichtrobuste sequentielle Schaltung . . . . .	139
Abb. 8.2	SAT-basiertes ATPG-inspiriertes Schaltkreismodell. . . . .	145
Abb. 8.3	Anwendung der vorgeschlagenen Methodik auf die Schaltung aus Abb. 8.1 . . . . .	149
Abb. 8.4	Hardware-Mehraufwand für zufällige und geführte Technik mit $p_s \leq \{8, 16\}$ . . . . .	153
Abb. 8.5	Verbesserung der Robustheit für verbesserte Schaltungen . . . . .	154
Abb. 8.6	Vergleich zwischen zufallsbasierten und SAT-basierten Ansätzen. . . . .	155
Abb. A.1	Kollaborationsdiagramm der Kompressor-Klasse . . . . .	169
Abb. A.2	Kollaborationsdiagramm der vererbten Dekompressor-Klassen. <b>(a)</b> DynDecompressor-Unterklasse. <b>(b)</b> FormalDecompressor-Unterklasse . . . . .	169
Abb. A.3	Kollaborationsdiagramm der repräsentativen Emitter-Klasse. . . . .	170

# Tabellenverzeichnis

Tab. 2.1	D-Werte des <b>UND</b> Gatters. . . . .	19
Tab. 2.2	Beschreibung der TAP-Controller-Zustände. . . . .	27
Tab. 2.3	Beschreibung der TAP-Controller-Anweisungen . . . . .	28
Tab. 3.1	Logische Operatoren . . . . .	37
Tab. 3.2	Minimierte CNF von Logikgattern [Lar92] . . . . .	48
Tab. 4.1	Beispielhafte gewichtete Abbildungsfunktion $\Psi$ , $MCL=3$ . . . . .	68
Tab. 4.2	Anwendung der <b>comp<sub>r</sub></b> Technik auf Testdaten. . . . .	71
Tab. 4.3	TDV-Reduzierung von zufälligen und industriellen Schaltkreisdesigns. . . . .	75
Tab. 4.4	Reduzierung der TAT von zufälligen und industriellen Schaltkreisdesigns. . . . .	75
Tab. 5.1	Beispielkonfigurationen $\mathcal{C}^1$ und $\mathcal{C}^2$ für die Abbildungsfunktion $\Psi$ unter Verwendung von $MCL = 3$ . . . . .	83
Tab. 5.2	Anwendung auf beispielhafte Testdaten unter Verwendung der Konfiguration $\mathcal{C}^1$ und $\mathcal{C}^2$ . . . . .	84
Tab. 5.3	Beispielhafte Zuordnung von UDW-Segmenten. . . . .	87
Tab. 5.4	Gegenseitige Ausschlüsse von Segmenten (ohne einzelne Bitsegmente). . . . .	89
Tab. 5.5	Laufzeit und Instanzgrößen für das Retargeting von zufälligen Testdaten und Debug-Daten . . . . .	95
Tab. 5.6	Optimierung der SAT-basierten Neuausrichtung: TDV-Reduzierung von zufälligen und industriellen Schaltkreisdesigns. . . . .	96
Tab. 5.7	Optimierung der SAT-basierten Neuausrichtung: Reduzierung der TAT von zufälligen und industriellen Schaltkreisdesigns. . . . .	98
Tab. 6.1	Teilweise Rekonfigurationen des eingebetteten Wörterbuchs mit $\mathcal{C}_0$ bis $\mathcal{C}_n$ . . . . .	105
Tab. 6.2	Optimierung SAT-basiertes Retargeting mit Partitionierung: TDV-Reduzierung von zufälligen & industriellen Schaltkreisdesigns. . . . .	110

Tab. 6.3 Optimierung der SAT-basierten Neuausrichtung mit Partitionierung: TAT-Reduzierung von zufälligen & industriellen Schaltkreisdesigns . . . . . 111

Tab. 7.1 Industrielle Schaltkreisstatistiken für Hybride Kompression . . . . . 129

Tab. 7.2 Hybride Kompression: TDV & TAT Reduzierung von industriellen Schaltkreisen . . . . . 131

Tab. 7.3 Hybride Mehrkanalkompression: TDV & TAT Reduzierung von industriellen Schaltkreisen . . . . . 131

Tab. 8.1 Laufzeit und FDM-Größen für verschiedene  $p_s \in \{8, 16\}$  . . . . . 152

Tab. 8.2 FDM-Statistiken für verschiedene  $p_s \in \{8, 16\}$  . . . . . 152

# Algorithmen

Algorithmen 1	<i>DPLL</i> -Algorithmus [ES04, S.5] . . . . .	38
Algorithmen 2	Retargeting-Algorithmus: konfigurieren . . . . .	72
Algorithmen 3	Retargeting-Algorithmus: komprimieren. . . . .	73
Algorithmen 4	Optimierungsverfahren für SAT-basiertes Retargeting . . . .	94
Algorithmen 5	Verfahren zur Aufzählung von Partitionen. . . . .	144
Algorithmen 6	Zustandsbestimmungsverfahren. . . . .	148