Inhaltsverzeichnis

1	Einleitung und Übersicht	1
1.1	Motivation	1
1.2	Ziele und Organisation dieses Buches	2
1.3	VHDL Entwurfsmethodik	6
1.4	Syntaxnotation	9
2	Synthese einfacher Schaltnetze	11
2.1	Entity, Architektur und Signale	11
2.1.1	Deklaration und Verwendung lokaler Signale	14
2.1.2	Richtungsmodi von Signalschnittstellen	15
2.1.3	Deklaration von Bussignalen	17
2.2	Simulation von VHDL-Entwürfen	17
2.3	Schaltnetze mit Boole'schen Gleichungen	20
2.4	Synthese selektiver und bedingter Signalzuweisungen	23
2.5	Übungsaufgaben	28
3	Entwurf digitaler Funktionselemente mit Prozessen	31
3.1	Prozesse	31
3.1.1	Deklaration und Ausführung von Prozessen	32
3.2	Schaltnetze mit sequentiellen Anweisungen	35
3.2.1	Die case-Anweisung	36
3.2.2	Die if-Anweisung	40
3.2.3	Schleifenkonstrukte	44
	3.2.3.1 for loop	45
	3.2.3.2 while loop	46
3.3	Einfache Schaltwerke	48
3.3.1	D-Flipflops und Register	48
	3.3.1.1 VHDL-Beschreibung mit Signalen	49
	3.3.1.2 Testbench zum D-Flipflop	51
	3.3.1.3 Entwurf von Registern	52
	3.3.1.4 Verwendung von Variablen in takt synchronen Prozessen	53

3.3.2	Johnson-Zähler mit Takteiler.....	55
3.3.3	Parametrisiertes Schieberegister.....	57
3.4	Erzeugung von Latches.....	60
3.5	Vermeidbare Synthesefehler.....	63
3.5.1	Kombinatorische Schleifen.....	63
3.5.2	Fehlverhalten durch unvollständige Empfindlichkeitslisten.....	64
3.6	RTL-Syntheserichtlinien.....	66
3.6.1	D-Flipflops und Register in getakteten Prozessen.....	67
3.6.2	D-Latches und kombinatorische Logik.....	68
3.7	VHDL-Testbenches.....	68
3.8	Übungsaufgaben.....	74
4	Tri-State- und Don't-Care-Modellierung	79
4.1	Die Datentypen <code>std_ulogic</code> und <code>std_logic</code>	79
4.2	Realisierung von Tri-State-Ausgangsstufen.....	82
4.3	Don't-Care-Werte als Ausgangssignal.....	87
4.4	Don't-Care-Werte als Eingangssignal.....	89
4.5	Konversion der Datentypen <code>bit</code> und <code>bit_vector</code>	92
4.6	Übungsaufgaben.....	94
5	Arithmetik und Synchronzähler	97
5.1	Arithmetik-Operatoren und zugehörige Datentypen.....	97
5.2	Komparator SN74xx85.....	100
5.3	Entwurf von Synchronzählern.....	102
5.4	Arithmetik mit den Datentypen <code>signed</code> und <code>unsigned</code>	106
5.5	Integer-Arithmetik.....	111
5.6	Konversionsfunktionen und indizierter Zugriff auf Feldelemente.....	113
5.7	Arithmetik mit Synops Bibliotheken.....	116
5.8	Hinweise zur Verwendung der Datentypen.....	117
5.9	Übungsaufgaben.....	119
6	Entwurf von Zustandsautomaten	123
6.1	Automatenvarianten.....	123
6.2	Moore-Automat für eine Impulsfolgenerkennung.....	126
6.3	Entwurfsbeispiel für einen Mealy-Automaten.....	130

6.4	VHDL-Syntaxvarianten.....	136
6.4.1	Die Zwei-Prozess-Darstellung.....	137
6.4.2	Die Mehr-Prozess-Darstellung	139
6.4.2.1	Schnittstellensynchronisation.....	139
6.4.2.2	Maßnahmen zur Taktfrequenzerhöhung.....	141
6.4.2.3	Maßnahme zur Reduzierung der Latenzzeit.....	143
6.4.3	Die Ein-Prozess-Darstellung	145
6.4.4	Vergleich der Syntaxvarianten.....	146
6.5	Zustandscodierung.....	147
6.5.1	Strategien der Zustandscodierung.....	147
6.5.2	Umsetzung der Zustandscodierung in VHDL.....	148
6.5.3	Auswirkungen der Zustandscodierung auf die Synthesergebnisse	149
6.6	Übungsaufgaben	156
7	Struktureller VHDL-Entwurf	159
7.1	Ziele und Methoden der Systempartitionierung.....	160
7.2	Struktureller Entwurf mit Komponenten	163
7.2.1	Struktureller Entwurf eines 4 zu 2 Prioritätsencoders	164
7.2.1.1	Komponentendeklaration	167
7.2.1.2	Komponenteninstanziierung und port map-Anweisung	167
7.2.1.3	Konfiguration zur Auswahl von Modellarchitekturen.....	169
7.2.1.4	Modellparametrisierung	169
7.2.1.5	Iterative Instanziierung.....	171
7.2.2	Entwurf einer skalierbaren Addier/Subtrahier-Einheit	174
7.2.3	Kopplung von Signalen in strukturellen VHDL-Beschreibungen	179
7.3	Strukturierung mit Unterprogrammen	182
7.3.1	Lokale Prozeduren und Funktionen.....	182
7.3.2	Definition und Einsatz von packages.....	187
7.4	Herstellerspezifische Komponenten und Komponentengeneratoren	190
7.4.1	Instanziierung von RAM- und ROM-Zellen mit Prozessen	190
7.4.2	Komponentengeneratoren.....	196
7.5	Unterstützung durch Synthesewerkzeuge	202
7.6	Übungsaufgaben	204
8	Entwurf eines RISC-Prozessors	207
8.1	Spezifikation der Prozessorfunktionen	208
8.1.1	Das Programmiermodell.....	208
8.1.2	Der Instruktionssatz	210
8.1.3	Instruktionsformate.....	210
8.2	Prozessorarchitektur und -programmierung	211

8.3	VHDL-Realisierung.....	214
8.3.1	Registerfile.....	215
8.3.2	Instruktions- und Datenspeicher	218
8.3.3	Instruction Fetch (IF).....	221
8.3.4	Instruction Decode (ID).....	222
8.3.5	Execute (EX)	225
8.3.6	Memory Access (MEM).....	227
8.3.7	Top-Level-Architektur des RISC-Prozessors	230
8.3.8	Einfache Testbench für den RISC-Prozessor.....	233
8.4	Entwurfsverifikation.....	234
8.4.1	Vermeidung von RW-Hazards.....	236
8.4.2	Vermeidung von C-Hazards	237
8.4.3	Speichern und Lesen des Datenspeichers	239
8.5	FPGA-Implementierung	240
9	Modellierung digitaler Filter	243
9.1	FIR-Filter.....	245
9.1.1	Parallele FIR-Filterstrukturen	245
9.1.2	Zahlendarstellung im Q-Format.....	250
9.1.2.1	Addition mit vorzeichenrichtiger Erweiterung der Summanden	252
9.1.2.2	Binäre Multiplikation	253
9.1.3	Filterskalierung und Beispielfilter	254
9.1.4	VHDL-Modelle paralleler FIR-Filterstrukturen	258
9.1.4.1	Kopplung von unterschiedlichen Taktbereichen	258
9.1.4.2	Basismodell der Direktform	261
9.1.4.3	Direktform mit symmetrisch balanciertem Addiererbaum	269
9.1.4.4	Direktform mit unsymmetrisch balanciertem Addiererbaum	273
9.1.4.5	Linear-Phasen-Struktur.....	283
9.1.4.6	Transponierte Form mit reduzierter Anzahl der Multiplizierer	293
9.1.4.7	Systolische FIR Filter.....	298
9.1.4.8	Vergleich der Implementierungsergebnisse und Timinganalysen	302
9.1.5	Sequentielle FIR-Struktur mit MAC-Einheit.....	304
9.1.5.1	Multiplizierer-Akkumulatoreinheit	307
9.1.5.2	Ringpuffer für die Abtastwerte.....	309
9.1.5.3	Koeffizienten-ROM.....	311
9.1.5.4	Sequenzsteuerung mit einem Zustandsautomaten	312
9.1.5.5	Simulations- und Synthesergebnisse	316
9.1.6	Taktschemata der Filterdatenpfade	320
9.1.6.1	Audiodatenrate	321
9.1.6.2	Hohe Datenraten.....	322
9.2	IIR-Filter.....	323
9.2.1	Koeffizientenberechnung und Beispielfilter	323
9.2.2	Parallele Strukturen für IIR-Filter 2. Ordnung.....	328

9.2.3	VHDL-Modelle für Varianten der Direktform II.....	331
9.2.3.1	Transponierte Struktur der Direktform II.....	331
9.2.3.2	Modifizierte Direktform II.....	339
9.2.3.3	Implementierungsergebnisse und Timinganalyse.....	342
9.2.4	Sinusgenerator als synthesesfähige Testbench.....	343
9.2.5	Entwurfsschritte für IIR-Filter.....	350
9.3	FPGA-Entwurf mit Simulink.....	351
10	Zustandsdifferenzgleichungen für Beobachter	355
10.1	Zeitinvariante und lineare Systeme.....	358
10.1.1	Zeitliche Diskretisierung.....	359
10.1.2	VHDL-Modell für die Zustandsdifferenzgleichungen.....	363
10.2	Numerische Integration von gekoppelten Differentialgleichungen.....	370
10.2.1	Rechteck- und Trapezintegration.....	371
10.2.2	VHDL-Modell der kombinierten numerischen Integration.....	376
10.2.3	Prozessorelement mit Mehrzyklus-Datenpfad.....	383
10.2.3.1	Algorithmisches Zustandsdiagramm.....	385
10.2.3.2	Datenpfad mit Mehrfach-Ressourcennutzung.....	387
10.2.3.3	VHDL-Modellierung des Prozessorelementes.....	391
10.3	Vergleich der Implementierungsergebnisse.....	400
10.4	Nichtlineare, gekoppelte Integralgleichungen.....	406
10.4.1	Odometrie mit einem Einspur-Fahrzeugmodell.....	407
10.4.2	VHDL-Modell des nichtlinearen Doppelintegrators.....	410
11	Anhang	425
11.1	VHDL-Codierungsempfehlungen.....	425
11.2	Checkliste zum VHDL-basierten Entwurf digitaler Systeme.....	429
11.3	Liste der VHDL-Schlüsselworte.....	433
11.4	Lösungen zu den Übungsaufgaben.....	433
11.4.1	Lösungen zu den Aufgaben in Kap. 2.5.....	434
11.4.2	Lösungen zu den Aufgaben in Kap. 3.7.....	436
11.4.3	Lösungen zu den Aufgaben in Kap. 4.6.....	442
11.4.4	Lösungen zu den Aufgaben in Kap. 5.7.....	445
11.4.5	Lösungen zu den Aufgaben in Kap. 6.6.....	450
11.4.6	Lösungen zu den Aufgaben in Kap. 7.7.....	455
12	VHDL-Syntaxübersicht und Bibliotheken	461
13	Literaturverzeichnis	471
14	Sachregister	477